



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0081959  
Application Number

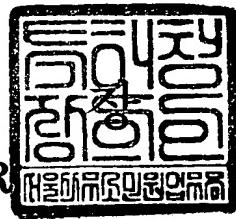
출원년월일 : 2003년 11월 19일  
Date of Application NOV 19, 2003

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 11 월 24 일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0003		
【제출일자】	2003. 11. 19		
【발명의 명칭】	데이터 입출력 버퍼 및 이를 이용한 반도체 메모리 장치		
【발명의 영문명칭】	Data output buffer and semiconductor memory apparatus using the same		
【출원인】			
【명칭】	( 주)하이닉스 반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	신영무		
【대리인코드】	9-1998-000265-6		
【포괄위임등록번호】	1999-003525-1		
【발명자】			
【성명의 국문표기】	박진수		
【성명의 영문표기】	PARK, Jin Su		
【주민등록번호】	701211-1674019		
【우편번호】	702-053		
【주소】	대구광역시 북구 침산3동 침산청구타운 103-306		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 신영무 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	10	항	429,000 원
【합계】	458,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 데이터 입출력 버퍼 및 이를 이용한 반도체 메모리 장치에 관한 것으로, 데이터 입출력 버퍼를 구성하는 소자들 중에서 데이터 신호가 가장 먼저 입력되는 스위칭 수단이나 논리 소자의 트랜지스터를 문턱 전압이 낮은 저전압 구동 소자로 구현함으로써, 데이터 신호가 문턱 전압만큼 낮아진 상태로 입력되어도 데이터 신호의 레벨을 정확하게 판단하여 회로의 신뢰성을 향상시킬 수 있다.

**【대표도】**

도 3

**【색인어】**

데이터 입출력 버퍼, 문턱 전압, 저전압 동작 트랜지스터

**【명세서】****【발명의 명칭】**

데이터 입출력 버퍼 및 이를 이용한 반도체 메모리 장치{Data output buffer and semiconductor memory apparatus using the same}

**【도면의 간단한 설명】**

도 1은 본 발명의 실시예에 따른 데이터 입출력 버퍼를 이용한 반도체 메모리 장치의 구조 및 동작을 설명하기 위한 블록도이다.

도 2는 도 1에 도시된 컬럼 멀티플렉서의 회로도이다.

도 3은 도 1에 도시된 데이터 입출력 버퍼의 회로도이다.

**<도면의 주요 부분에 대한 부호의 설명>**

110 : 셀 어레이    120 : 로우 디코더

130 : 페이지 버퍼    140 : 컬럼 디코더

150 : 컬럼 멀티플렉서    160 : 데이터 입출력 버퍼

161 : 래치

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 데이터 입출력 버퍼 및 이를 이용한 반도체 메모리 장치에 관한 것으로, 입력 신호가 문턱 전압 강하에 의해 낮은 전압으로 입력되더라도 정확하게 센싱할 수 있는 데이터 입출력 버퍼 및 이를 이용한 반도체 메모리 장치에 관한 것이다.
- <10> 반도체 장치에는 소정의 신호가 입력된 후 신호의 입력이 중단되더라도 입력된 신호를 유지하기 위하여 버퍼(Buffer)가 구비된다. 이러한 버퍼 중에는 낸드형 플래쉬 메모리 장치에서 쓰이는 페이지 버퍼(Page buffer)나 데이터 출력 버퍼(Data output buffer)가 있다.
- <11> 스트링 단위로 구성되는 낸드형 플래쉬 메모리 장치에서는, 독출 동작 시 셀에 저장된 데이터가 페이지 버퍼에 일시 저장된다. 그리고, 다수의 페이지 버퍼 중에서 컬럼 멀티플렉서에 의해 선택된 페이지 버퍼에 저장된 데이터가 데이터 출력 버퍼를 거쳐 데이터 라인으로 전달된다.
- <12> 이렇듯, 버퍼는 데이터 신호를 일시적으로 유지해주는 역할을 한다. 이때, 데이터 신호가 로우 레벨로 입력되는 경우에는 문제가 없지만, 하이 레벨로 입력되는 경우 문제가 발생될 수 있다. 예를 들면, 데이터 신호가 논리 소자나 트랜지스터와 같은 스위칭 소자를 거치게 되면 문턱 전압만큼의 데이터 신호의 전압이 낮아진다. 이렇게 데이터 신호의 전압이 낮아지면, 신호의 전달 속도가 떨어져 회로의 동작 속도가 저하될뿐만 아니라, 버퍼에서는 데이터 신호가

하이 레벨인지 로우 레벨인지 정확하게 센싱할 수 없다. 이는, 저전압에서 동작이 이루어지는 경우 심한 문제점이 될 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 이에 대하여, 본 발명이 제시하는 데이터 입출력 버퍼 및 이를 이용한 반도체 메모리 장치는 데이터 입출력 버퍼를 구성하는 소자들 중에서 데이터 신호가 가장 먼저 입력되는 스위칭 수단이나 논리 소자의 트랜지스터를 문턱 전압이 낮은 저전압 구동 소자로 구현함으로써, 데이터 신호가 문턱 전압만큼 낮아진 상태로 입력되어도 데이터 신호의 레벨을 정확하게 판단하여 회로의 신뢰성을 향상시킬 수 있다.

#### 【발명의 구성 및 작용】

<14> 본 발명의 실시예에 따른 데이터 입출력 버퍼는 다수의 스위칭 소자와 다수의 논리 소자를 포함하며, 다수의 스위칭 소자나 다수의 논리 소자 중에서 주변 회로로부터 입력되는 데이터 신호에 따라 구동되는 스위칭 소자나 데이터 신호가 입력되는 논리 소자의 NMOS 트랜지스터가 저전압 동작 NMOS 트랜지스터이다.

<15> 본 발명의 다른 실시예에 따른 데이터 입출력 버퍼는 주변 회로로부터 입력되는 데이터 신호에 따라 동작하며, PMOS 트랜지스터와 저전압 동작 NMOS 트랜지스터를 포함하는 제1 논리 소자, 및 제2 논리 소자의 출력 신호를 래치하기 위한 제3 논리 소자를 포함한다.

<16> 상기에서, 스위칭 소자나 NMOS 트랜지스터를 문턱전압이 0V인 NMOS 트랜지스터로 대체할 수도 있다. 이 경우, 저전압 동작 NMOS 트랜지스터와 접지 전원 단자 사이에 데이터 출력 시에만 출력 인에이블 신호에 따라 턴온되는 스위칭 소자가 더 포함될 수 있다. 이때, 스위칭 소자는 NMOS 트랜지스터로 구현 가능하다.

<17> 본 발명의 실시예에 따른 반도체 메모리 장치는 메모리 셀 어레이와, 로우 어드레스 신호에 따라 메모리 셀 어레이의 특성 페이지를 선택하기 위한 로우 디코더와, 로우 디코더에 의해 선택된 페이지에 저장된 데이터들을 저장하는 페이지 버퍼와, 컬럼 어드레스 신호에 따라 비트라인 선택 신호를 생성하기 위한 컬럼 디코더와, 비트라인 선택 신호에 따라 페이지 버퍼에 저장된 데이터 중 어느 하나를 선택하여 출력하는 컬럼 멀티플렉서, 및 컬럼 멀티플렉서에서 선택된 데이터를 저장하고 데이터 라인으로 전달하며, 데이터에 의해 구동되는 소자가 저전압 동작 NMOS 트랜지스터인 데이터 입출력 버퍼를 포함한다.

<18> 상기에서, 문턱전압이 0V인 NMOS 트랜지스터를 저전압 동작 NMOS 트랜지스터로 사용할 수도 있다. 이 경우, 저전압 동작 NMOS 트랜지스터와 접지 전원 단자 사이에 데이터 출력 시에만 출력 인에이블 신호에 따라 턴온되는 스위칭 소자가 더 포함될 수 있다. 이때, 스위칭 소자는 NMOS 트랜지스터로 구현 가능하다.

<19> 한편, 데이터 입출력 버퍼는 컬럼 멀티플렉서에서 출력되는 데이터 신호에 따라 구동되며 전원 전압 단자에 연결되는 PMOS 트랜지스터와, 컬럼 멀티플렉서에서 출력되는 데이터 신호에 따라 구동되며 제1 PMOS 트랜지스터에 접속되는 저전압 동작 NMOS 트랜지스터와, 저전압 동작 NMOS 트랜지스터와 접지 전압 단자 사이에 접속되며 데이터 출력 구간에만 턴온되는 스위칭

소자와, PMOS 트랜지스터 또는 저전압 동작 트랜지스터를 통해 전달된 신호를 반전시켜 저장하기 위한 래치부를 포함한다.

<20> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

<21> 그러면, 낸드형 플래쉬 메모리 소자의 경우를 예로 들어, 본 발명의 실시예에 따른 데이터 입출력 버퍼 및 이를 이용한 반도체 메모리 장치의 구성 및 동작을 설명하기로 한다.

<22> 도 1은 본 발명의 실시예에 따른 데이터 입출력 버퍼를 이용한 반도체 메모리 장치의 구성 및 동작을 설명하기 위한 블록도이다. 도 2는 도 1에 도시된 컬럼 멀티플렉서의 회로도이다. 도 3은 도 1에 도시된 데이터 입출력 버퍼의 회로도이다.

<23> 도 1을 참조하면, 낸드형 플래쉬 메모리 장치는 셀 어레이(110), 로우 디코더(120), 페이지 피버(130), 컬럼 멀티플렉서(140), 컬럼 디코더(150) 및 데이터 입출력 버퍼(160)를 포함한다.

<24> 여기서, 낸드형 플래쉬 메모리 장치의 셀 어레이(110)는 다수의 워드라인들(이하, '페이지'라 함)과 다수의 비트라인쌍들 각각의 사이에 연결된 복수 개의 메모리 셀들(도시되지 않음)로 구성된다. 로우 디코더(120)는 외부에서 입력되는 어드레스 신호 중에서 로우 어드레

스를 디코딩하여 특정 페이지를 선택하기 위한 페이지 선택 신호( $X[0:N-1]$ )들을 발생시킨다.

페이지 버퍼(130)는 로우 디코더(120)에 의해 선택된 페이지에 저장된 데이터들이 비트라인 ( $BL[0:N-1]$ )을 통해 전달되면 데이터들을 저장한다. 컬럼 디코더(150)는 어드레스 신호 중 컬럼 어드레스를 디코딩하여 비트라인 선택 신호( $Y[0:N-1]$ )를 발생시킨다.

<25>      도 1 및 도 2를 참조하면, 컬럼 멀티플렉서(140)는 페이지 버퍼(130)에서 출력되는 데이터( $YA[0:N-1]$ ) 중에서 컬럼 디코더(150)에서 발생된 비트라인 선택 신호( $Y[0:N-1]$ )에 따라 선택된 데이터( $YB$ )를 출력한다. 이러한 컬럼 멀티플렉서(140)는 페이지 버퍼(130)의 출력 단자마다 접속되며, 비트라인 선택신호( $Y[0:N-1]$ )에 따라 동작되는 다수의 스위칭 소자( $S_0$  내지  $S_{n-1}$ )로 구현할 수 있다. 스위칭 소자( $S_0$  내지  $S_{n-1}$ )들은 비트라인 선택신호( $Y[0:N-1]$ )에 따라 하나만 온상태가 된다. 따라서, 페이지 버퍼(130)에서 출력되는 데이터들( $YA[0:N-1]$ ) 중 하나만이 출력된다.

<26>      도 1 및 도 3을 참조하면, 데이터 입출력 버퍼(160)는 컬럼 멀티플렉서(140)에서 출력된 데이터( $YB$ )를 저장하고, 데이터 라인(DL)으로 전달한다. 이러한 컬럼 멀티플렉서(140)는 데이터( $YB$ )가 입력되는 제1 인버터(I1)와, 래치(161)를 포함한다. 래치(161)는 체인 구조로 연결된 제2 인버터(I2)와 제3 인버터(I3)로 이루어져, 제1 인버터(I1)의 출력 신호를 반전시켜 래치 한다.

<27>      한편, 페이지 버퍼(130)에서 컬럼 멀티플렉서(140)를 통해 데이터 입출력 버퍼로(160)로 데이터( $YB$ )가 전달되는 과정에서, 컬럼 멀티플렉서(140)에 포함된 스위칭 소자에 의해 스위칭 소자의 문턱전압만큼 낮아진 레벨로 데이터( $YB$ )가 입력된다. 이 경우, 데이터( $YB$ )가 로우레벨로 입력되면 문제가 없다. 하지만, 데이터( $YB$ )가 하이레벨로 입력되는 경우, 정상적인 레벨로 입력되지 않고 문턱전압만큼 낮아진 레벨로 입력되기 때문에, 데이터 출력 버퍼(160)는 하이레

벨의 데이터(YB)를 로우 레벨로 판단할 수 있다. 이러한 경우는, 소비 전력을 줄이기 위하여 회로가 낮은 전압에서 동작하는 경우 보다 더 심각하게 발생된다.

<28> 이러한 문제점이 발생되는 것을 방지하기 위하여, 데이터(YB)가 정상적인 레벨보다 문턱 전압만큼 낮은 레벨로 입력되더라도 정확하게 판단할 수 있도록, 데이터(YB)에 의해 직접 동작되는 스위칭 소자나 논리 소자에 포함된 NMOS 트랜지스터를 저전압 트랜지스터로 대체한다.

<29> 예를 들면, 도 3에 도시된 바와 같이, 데이터 신호(YB)가 제1 인버터(I1)로 직접 입력되면, 제1 인버터(I1)에 포함된 NMOS 트랜지스터를 저전압 NMOS 트랜지스터( $N_{LOW}$ )로 대체한다. 또는, 제1 인버터(I1)에 포함된 NMOS 트랜지스터를 문턱 전압이 0V인 NMOS 트랜지스터로 대체 할 수도 있다. 이렇게, NMOS 트랜지스터를 저전압 NMOS 트랜지스터( $N_{LOW}$ )로 대체하면, 데이터 신호(YB)가 정상적인 하이 레벨보다 문턱 전압만큼 낮아진 하이 레벨로 입력되더라도 저전압 NMOS 트랜지스터( $N_{LOW}$ )가 정상적으로 동작된다. 제1 인버터(I1)의 저전압 NMOS 트랜지스터( $N_{LOW}$ )가 정상적으로 동작하면, 래치(161)는 저전압 NMOS 트랜지스터( $N_{LOW}$ )를 통해 전달되는 접지 전압( $V_{ss}$ )을 반전시켜 하이 레벨의 신호를 데이터 라인(DL)으로 전달한다.

<30> 한편, 데이터 신호(YB)가 로우 레벨로 입력되면 저전압 NMOS 트랜지스터( $N_{LOW}$ )는 오프상태가 되고 PMOS 트랜지스터(P1)가 동작한다. 래치(161)는 PMOS 트랜지스터(P1)를 통해 전달되는 전원 전압( $V_{cc}$ )을 반전시켜 로우 레벨의 신호를 데이터 라인(DL)으로 전달한다.

<31> 상기와 같이, 제1 인버터(I1)에 포함된 NMOS 트랜지스터를 저전압 NMOS 트랜지스터( $N_{LOW}$ )로 대체하거나 문턱 전압이 0V인 NMOS 트랜지스터( $N_{LOW}$ )로 대체하면, 데이터 신호(YB)가 로우 레벨로 입력되는 경우 제1 인버터(I1)의 PMOS 트랜지스터와 NMOS 트랜지스터( $N_{LOW}$ )가 동시에 턴온되어 소비 전력이 증가할 수 있다. 따라서, 이를 방지하기 위하여, NMOS 트랜지스터( $N_{LOW}$ )와 접지 전압( $V_{ss}$ ) 단자 사이에 스위칭 소자( $N1$ )을 설치하고 데이터 신호(YB)가 입력되는 구간



1020030081959

출력 일자: 2003/11/28

에서만 스위칭 소자(N1)를 턴온시킬 수도 있다. 여기서, 어드레스 신호가 입력된 후 메모리 장치 내에서 발생되는 리드 인에이블 신호(RE)를 스위칭 소자(N1)의 온/오프를 제어하기 위한 신호로 사용할 수 있다. 이렇듯, 모든 메모리 장치나 회로에서는 데이터를 출력하는 경우 데이터를 출력하기 위하여 인에이블 신호같은 데이터 출력 신호를 발생시킨다. 이러한 신호로 데이터가 출력되지 않는 경우에는 전류 패스가 차단되도록 스위칭 소자(N1)의 온/오프를 제어한다면, 제1 인버터(I1)의 NMOS 트랜지스터( $N_{LOW}$ )를 저전압 NMOS 트랜지스터로 대체하거나 문턱 전압이 0V인 NMOS 트랜지스터로 대체하더라도 소비 전력이 증가하는 것을 방지할 수 있다.

### 【발명의 효과】

<32> 상술한 바와 같이, 본 발명은 데이터 입출력 버퍼를 구성하는 소자들 중에서 데이터 신호가 가장 먼저 입력되는 스위칭 수단이나 논리 소자의 트랜지스터를 문턱 전압이 낮은 저전압 구동 소자로 구현함으로써, 데이터 신호가 문턱 전압만큼 낮아진 상태로 입력되어도 데이터 신호의 레벨을 정확하게 판단하여 회로의 신뢰성을 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

다수의 스위칭 소자와 다수의 논리 소자를 포함하며,

상기 다수의 스위칭 소자나 상기 다수의 논리 소자 중에서 주변 회로로부터 입력되는 데 이터 신호에 따라 구동되는 스위칭 소자나 상기 데이터 신호가 입력되는 논리 소자의 NMOS 트랜지스터가 저전압 동작 NMOS 트랜지스터인 데이터 입출력 버퍼.

**【청구항 2】**

주변 회로로부터 입력되는 데이터 신호에 따라 동작하며, PMOS 트랜지스터와 저전압 동작 NMOS 트랜지스터를 포함하는 제1 논리 소자; 및  
상기 제1 논리 소자의 출력 신호를 래치하기 위한 제2 논리 소자를 포함하는 데이터 입출력 버퍼.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

상기 저전압 동작 NMOS 트랜지스터의 문턱전압이 0V인 데이터 입출력 버퍼.

**【청구항 4】**

제 3 항에 있어서,

상기 저전압 동작 NMOS 트랜지스터와 접지 전원 단자 사이에 데이터 출력 시에만 출력 인에이블 신호에 따라 턴온되는 스위칭 소자가 더 구비되는 데이터 입출력 버퍼.

### 【청구항 5】

제 4 항에 있어서,

상기 스위칭 소자가 NMOS 트랜지스터인 데이터 입출력 버퍼.

### 【청구항 6】

메모리 셀 어레이;

로우 어드레스 신호에 따라 상기 메모리 셀 어레이의 특성 페이지를 선택하기 위한 로우 디코더;

상기 로우 디코더에 의해 선택된 페이지에 저장된 데이터들을 저장하는 페이지 버퍼;

컬럼 어드레스 신호에 따라 비트라인 선택 신호를 생성하기 위한 컬럼 디코더;

상기 비트라인 선택 신호에 따라 상기 페이지 버퍼에 저장된 데이터 중 어느 하나를 선택하여 출력하는 컬럼 멀티플렉서; 및

상기 컬럼 멀티플렉서에서 선택된 데이터를 저장하고 데이터 라인으로 전달하며, 상기 데이터에 의해 구동되는 소자가 저전압 동작 NMOS 트랜지스터인 데이터 입출력 버퍼를 포함하는 반도체 메모리 장치.

**【청구항 7】**

제 6 항에 있어서,

상기 저전압 동작 NMOS 트랜지스터의 문턱전압이 0V인 반도체 메모리 장치.

**【청구항 8】**

제 7 항에 있어서,

상기 저전압 동작 NMOS 트랜지스터와 접지 전원 단자 사이에 데이터 출력 시에만 턴온되는 스위칭 소자가 더 구비되는 반도체 메모리 장치.

**【청구항 9】**

제 6 항에 있어서, 상기 데이터 입출력 버퍼는,

상기 컬럼 멀티플렉서에서 출력되는 데이터 신호에 따라 구동되며 전원 전압 단자에 연결되는 PMOS 트랜지스터;

상기 컬럼 멀티플렉서에서 출력되는 데이터 신호에 따라 구동되며 상기 PMOS 트랜지스터에 접속되는 저전압 동작 NMOS 트랜지스터;

상기 저전압 동작 NMOS 트랜지스터와 접지 전압 단자 사이에 접속되며 데이터 출력 구간에만 턴온되는 스위칭 소자; 및

상기 PMOS 트랜지스터 또는 상기 저전압 동작 트랜지스터를 통해 전달된 신호를 반전시켜 저장하기 위한 래치부를 포함하는 반도체 메모리 장치.

1020030081959

출력 일자: 2003/11/28

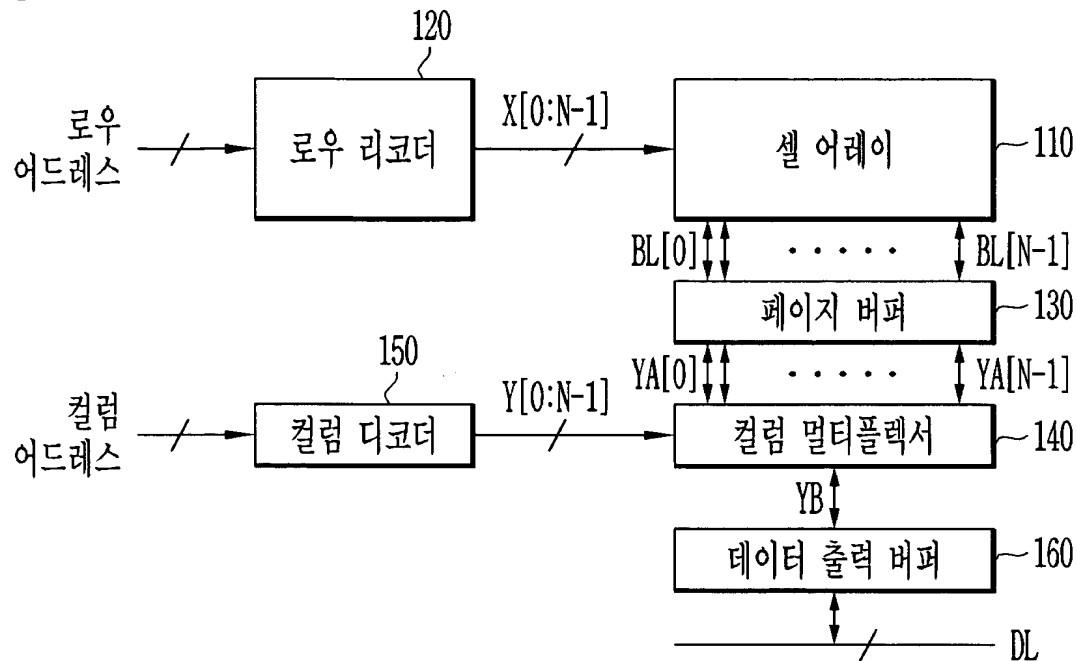
【청구항 10】

제 8 항 또는 제 9 항에 있어서,

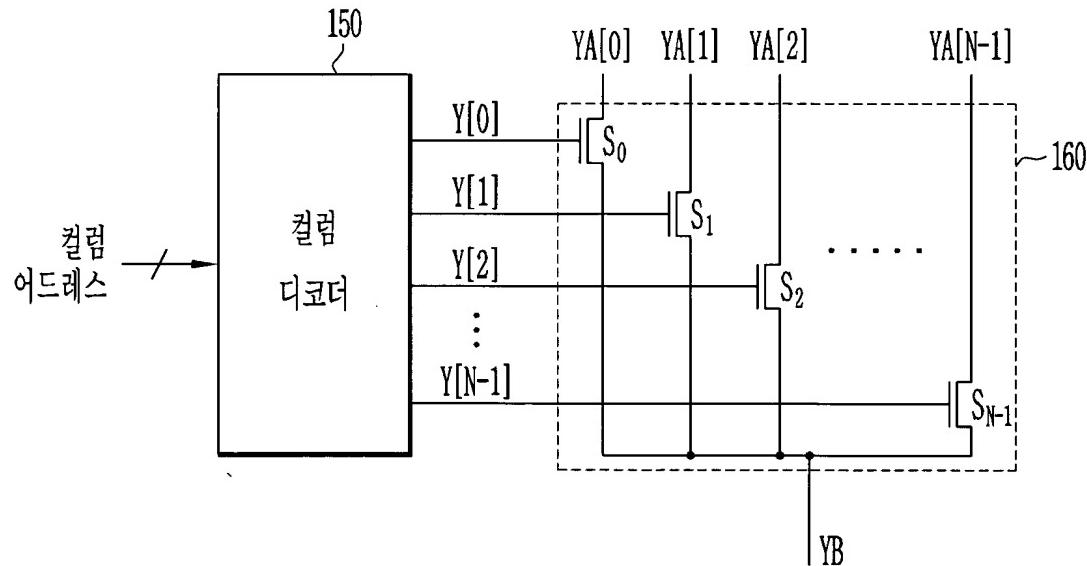
상기 스위칭 소자가 NMOS 트랜지스터인 반도체 메모리 장치.

## 【도면】

【도 1】



【도 2】





1020030081959

출력 일자: 2003/11/28

【도 3】

